

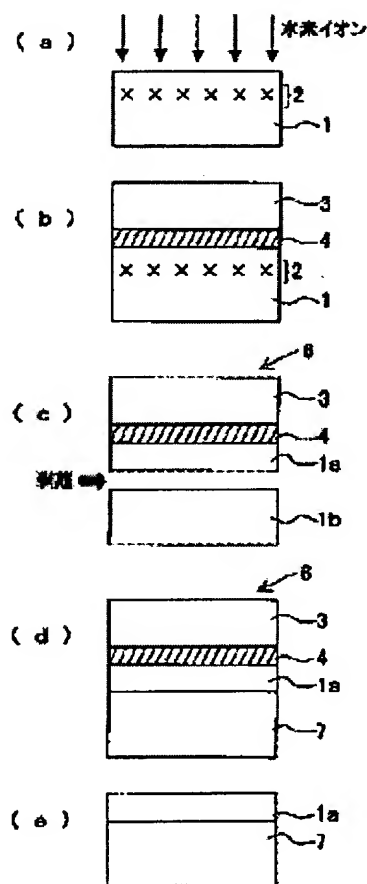
SEMICONDUCTOR SUBSTRATE AND ITS MANUFACTURING METHOD

Patent number: JP2002280531
Publication date: 2002-09-27
Inventor: MATSUI MASAKI
Applicant: DENSO CORP
Classification:
- international: H01L21/02; H01L21/20; H01L21/205; H01L21/265;
H01L21/336; H01L27/12; H01L29/78; H01L21/02;
H01L27/12; H01L29/66; (IPC1-7): H01L27/12;
H01L21/02; H01L21/20; H01L21/205; H01L21/265;
H01L21/336; H01L29/78
- european:
Application number: JP20010078872 20010319
Priority number(s): JP20010078872 20010319

Report a data error here

Abstract of JP2002280531

PROBLEM TO BE SOLVED: To manufacture a semiconductor substrate in which a vertical element can be formed and resistance can be decreased on the interface of a low concentration SiC layer and a supporting substrate becoming the active region of the element. **SOLUTION:** After a muddy layer 2 is formed by implanting hydrogen ions into a single crystal SiC substrate 1, a base substrate 3 is fixed to the side of the single crystal SiC substrate 1 implanted with the hydrogen ions and heat treated. The single crystal SiC substrate 1 is stripped by the muddy layer 2 thus forming a deposition substrate 6 where a single crystal SiC layer 1a composed of a part of the single crystal SiC substrate 1 is provided on the base substrate 3. Subsequently, a support 7 is deposited on the stripping face of the single crystal SiC layer 1a of the deposition substrate 6 and the base substrate 3 is removed thus obtaining a structure where the support 7 is deposited on the single crystal SiC layer 1a becoming the active region of the element.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-280531
(P2002-280531A)

(43) 公開日 平成14年9月27日 (2002.9.27)

(51) Int.Cl. ⁷	識別記号	F I	テームコード* (参考)
H 0 1 L 27/12		H 0 1 L 27/12	B 5 F 0 4 5
21/02		21/02	B 5 F 0 5 2
21/20		21/20	
21/205		21/205	
21/265		29/78	6 5 2 T

審査請求 未請求 請求項の数11 OL (全 6 頁) 最終頁に続く

(21) 出願番号 特願2001-78872(P2001-78872)

(22) 出願日 平成13年3月19日 (2001.3.19)

(71) 出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(72) 発明者 松井 正樹

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

(74) 代理人 100100022

弁理士 伊藤 洋二 (外2名)

Fターム(参考) 5F045 AA03 AB02 AB03 AB06 AF02

BB08 GH02 GH08 HA05 HA06

HA20

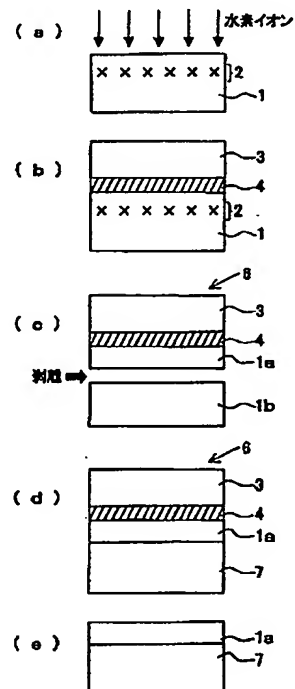
5F052 KB02

(54) 【発明の名称】 半導体基板及びその製造方法

(57) 【要約】

【課題】 縦型の素子の形成が可能であり、素子の活性領域となる低濃度のSiC層と支持基板の界面抵抗が小さい半導体基板を製造する。

【解決手段】 単結晶SiC基板1に水素イオンを注入して泥弱層2を形成した後、単結晶SiC基板1の水素イオンを注入した面側にベース基板3を貼り付け、熱処理をする。これにより、泥弱層2で単結晶SiC基板1を剥離させ、単結晶SiC基板1の一部によって構成される単結晶SiC層1aをベース基板3上に備えた堆積用基板6を形成する。続いて、堆積用基板6の単結晶SiC層1aの剥離面に支持体7を堆積させたのち、ベース基板3を除去し、素子の活性領域となる単結晶SiC層1aの上に、支持体7が堆積された構成とする。



【特許請求の範囲】

【請求項 1】 素子の活性領域となる単結晶の炭化珪素（1a）上に、支持体（7）が堆積された構成となっていることを特徴とする半導体基板。

【請求項 2】 前記支持体は、単結晶の炭化珪素、多結晶の炭化珪素、単結晶のシリコン、多結晶のシリコン、金属のいずれか一つであることを特徴とする請求項 1 に記載の半導体基板。

【請求項 3】 前記支持体は、不純物が高濃度に含有されて低抵抗とされていることを特徴とする請求項 2 に記載の半導体基板。

【請求項 4】 単結晶の炭化珪素基板（1）に水素イオンを注入して泥弱層（2）を形成する第 1 工程と、前記炭化珪素基板の水素イオンを注入した面側にベース基板（3）を貼り付けた後、熱処理を施すことで、前記泥弱層で前記炭化珪素基板を剥離させ、前記炭化珪素基板の一部によって構成される炭化珪素層（1a）を前記ベース基板上に備えた堆積用基板（6）を形成する第 2 工程と、前記堆積用基板の炭化珪素層の剥離面に支持体（7）を堆積させる第 3 工程と、前記ベース基板を除去し、素子の活性領域となる前記炭化珪素層（1a）上に、支持体（7）が堆積された構成とする第 4 工程とを有していることを特徴とする半導体基板の製造方法。

【請求項 5】 前記第 1 工程では、前記炭化珪素基板に対して P 型、N 型の不純物の拡散領域を形成した後、もしくは前記炭化珪素基板に対して素子を形成した後に、前記水素イオンの注入を行うことを特徴とする請求項 4 に記載の半導体基板の製造方法。

【請求項 6】 前記第 2 工程では、前記ベース基板として、シリコンウェハ、単結晶の炭化珪素ウェハ、多結晶の炭化珪素ウェハ、石英基板、セラミック基板、カーボン基板のいずれか一つを用いることを特徴とする請求項 4 又は 5 に記載の半導体基板の製造方法。

【請求項 7】 前記第 3 工程では、前記支持体として、単結晶の炭化珪素、多結晶の炭化珪素、単結晶のシリコン、多結晶のシリコン、金属のいずれか一つを用いることを特徴とする請求項 4 乃至 6 のいずれか 1 つに記載の半導体基板の製造方法。

【請求項 8】 前記第 3 工程では、前記支持体に高濃度の不純物を含有させ、低抵抗とすることを特徴とする請求項 7 に記載の半導体基板の製造方法。

【請求項 9】 前記第 3 工程では、前記支持体を化学的气相成長法によって堆積させることを特徴とする請求項 4 乃至 8 のいずれか 1 つに記載の半導体基板の製造方法。

【請求項 10】 前記第 2 工程では、前記炭化珪素基板と前記ベース基板の間に接合材料（4）を介在させることにより、前記炭化珪素基板と前記ベース基板とを貼り

合せ、

前記第 4 工程では、前記接合材料をエッチングすること、あるいは粘着力を低下させることで前記ベース基板を除去することを特徴とする請求項 4 乃至 9 のいずれか 1 つに記載の半導体基板の製造方法。

【請求項 11】 前記第 4 工程では、前記ベース基板をエッチングで溶かして除去、又は、前記ベース基板を機械的に削り落として除去することを特徴とする請求項 4 乃至 10 のいずれか 1 つに記載の半導体基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体基板とその製造方法に関するもので、特に、基板の縦方向に電流を流すタイプのパワー素子の形成が可能となる炭化珪素（以下、SiC という）からなる半導体基板及びその製造方法に関する。

【0002】

【従来の技術】Si よりも大きな物性値を持つ SiC に形成したパワー半導体素子は、Si に形成したパワー半導体素子よりも優れた性能を実現できる。具体的には、広いエネルギーギャップ（Si に対して、約 3 倍）によって高温まで半導体として機能できること、高い絶縁破壊耐圧（Si に対して約 10 倍）によって高耐圧化が可能なこと、高い熱伝導率（Si に対して約 3 倍）によって放熱性に優れていることから、さらなる大電流化を図ることが可能となる。

【0003】素子を形成する SiC 基板としては、図 4 に示すように、高不純物濃度の単結晶の SiC 基板 J1 上に、低不純物濃度の SiC 層 J2 がエピタキシャル成長で形成された基板が一般的に使用され、この低濃度層に縦方向に電流を流すタイプの素子（たとえば、VDMOS）が形成される。このデバイスの電界緩和層（低濃度の SiC 層領域 J2）は、上述の高い絶縁破壊耐圧によって、同じ耐圧仕様の Si の半導体素子に対して、不純物濃度を 100 倍に、厚みを 1/10 にすることができることから、電気抵抗は 1/1000 に低減できる。

【0004】

【発明が解決しようとする課題】SiC 基板の課題として、価格の高いことがあげられる。価格、すなわち製造コストが高くなる原因は、大口径で、高品質の単結晶 SiC の成長が難しいこと、また超硬質材である単結晶 SiC をウェハ形状にするための「切る」、「削る」、「磨く」加工が難しいことにある。従って、高品質の単結晶 SiC を有効に活用すること、またウェハ形状にする加工工程を簡単にすることが必要である。

【0005】そこで、シリコンの SOI（Silicon On Insulator）ウェハを製造する技術として使われている

「水素イオンをシリコンウェハに注入して、シリコンの薄膜を剥離させる技術」を SiC ウェハの製造に取り入

れて、SiCウェハを低コストで製造する方法が提案されている(特開平11-3842号公報参照)。

【0006】しかしながら、この技術では、剥離したSiCの薄膜を酸化膜を介して支持基板と貼り合わせる方法をとっているために、図5に示すように、ウェハ内部に酸化膜J3が存在することから、縦方向に電流を流すタイプのパワー素子を形成しても、縦方向に電流を流すことができない。

【0007】この対策として、剥離した薄膜SiCを酸化膜を介さずに支持基板と直接接合する方法もあるが、図6に示すように、接合面の未接合領域(ボイド)J4、酸化物(粒状)J5などの抵抗成分を完全に排除することは困難である。このため、接合面の電気抵抗が増大してエネルギー損失を増加させるだけでなく、局所的な発熱を引き起こすことで素子の信頼性を劣化させる可能性がある。

【0008】本発明は上記点に鑑みて、縦型の素子の形成が可能であり、素子の活性領域となる低濃度のSiC層と支持基板の界面抵抗が小さい半導体基板を安価に製造できる半導体基板及びその製造方法を提供することを目的とする。

【0009】

【課題を解決するための手段】上記目的を達成するため、請求項1に記載の発明では、素子の活性領域となる単結晶の炭化珪素(1a)上に、支持体(7)が堆積された構成となっていることを特徴としている。このような構成であれば、炭化珪素と支持体の界面に接着層、ボイド、酸化物などの抵抗成分が存在することがない。また、素子の活性領域だけに高品位の単結晶の炭化珪素を使うことで、製造コストを下げる事ができる。

【0010】具体的には、請求項2に示すように、支持体として、単結晶の炭化珪素、多結晶の炭化珪素、単結晶のシリコン、多結晶のシリコン、金属のいずれか一つを用いる。これにより、容易に、かつ安価に支持体を形成できる。なお、支持体が単結晶の炭化珪素である場合は、素子の活性領域と同レベルの高品位な結晶性である必要はなく、結晶欠陥が多数含まれていてもよい。

【0011】また、請求項3に記載のように、支持体に不純物を高濃度に含有させることで低抵抗すれば、電流を素子形成面から裏面側に低損失で流すことができる半導体構造となる。

【0012】請求項4に記載の発明では、単結晶の炭化珪素基板(1)に水素イオンを注入して泥弱層(2)を形成する第1工程と、炭化珪素基板の水素イオンを注入した面側にベース基板(3)を貼り付けた後、熱処理を施すことで、泥弱層で炭化珪素基板を剥離させ、炭化珪素基板の一部によって構成される炭化珪素層(1a)をベース基板上に備えた堆積用基板(6)を形成する第2工程と、堆積用基板の炭化珪素層の剥離面に支持体

(7)を堆積させる第3工程と、ベース基板を除去し、

素子の活性領域となる単結晶の炭化珪素層(1a)上に、支持体(7)が堆積された構成とする第4工程とを有していることを特徴としている。このような製造方法により、請求項1に記載の半導体基板を製造することができる。

【0013】請求項5に記載の発明では、第1工程では、炭化珪素基板に対してP型、N型の不純物の拡散領域を形成した後、もしくは炭化珪素基板に対して素子を形成した後に、水素イオンの注入を行うことを特徴としている。このように、不純物拡散領域が形成された半導体基板であれば、素子形成工程を低温で行うことができる。

【0014】なお、ベース基板としては、請求項6に示すように、シリコンウェハ、単結晶の炭化珪素ウェハ、多結晶の炭化珪素ウェハ、石英基板、セラミック基板、カーボン基板を使用することができる。また、支持体としては、請求項7に示すように、単結晶の炭化珪素、多結晶の炭化珪素、単結晶のシリコン、多結晶のシリコン、金属を使用することができるし、請求項8に記載のように、支持体に高濃度の不純物を含有させ、低抵抗とすることで、縦型のパワー素子を形成した場合のエネルギー損失を小さくすることができる。また、請求項9に示すように、支持体を化学的気相成長法で形成することで、素子の活性領域となる単結晶の炭化珪素と支持体の界面の抵抗成分を小さくすることができる。

【0015】請求項10に記載の発明では、第2工程では、炭化珪素基板とベース基板の間に接合材料(4)を介在させることにより、炭化珪素基板とベース基板とを貼り合せ、第4工程では、接合材料をエッチングすること、あるいは粘着力を低下させることでベース基板を除去することを特徴としている。このようにすれば、ベース基板を再利用することができる。

【0016】また、請求項11に示すように、ベース基板をエッチングで溶かして除去、又は、ベース基板を機械的に削り落として除去することも可能である。

【0017】なお、上記各手段の括弧内の符号は、後述する実施形態に記載の具体的手段との対応関係を示すものである。

【0018】

【発明の実施の形態】(第1実施形態)図1に、本発明の第1実施形態における半導体基板の製造工程を示し、図1に基づき半導体基板の製造方法について説明する。

【0019】[図1(a)に示す工程]まず、低不純物濃度の単結晶SiCウェハ(炭化珪素基板)1を用意し、この単結晶SiCウェハ1に水素イオンを注入する。このイオン注入によって、水素と結晶欠陥が高濃度に偏析する泥弱層2が形成される。このとき、泥弱層2が形成される深さはイオン注入の加速電圧によって決まる。

【0020】[図1(b)に示す工程]単結晶SiCウ

エハ1とベース基板3を接合材料4を介して接着する。このベース基板3には、例えばシリコンウェハ、単結晶SiCウェハ、多結晶SiCウェハ、石英基板、セラミック基板、カーボン基板などを使用することができる。また、接着材料には、高温耐性のある接着剤を用いても良いし、酸化シリコンを用いても良い。なお、酸化シリコンを用いる場合は、予め酸化シリコン膜を接着させる面に形成しておき、酸化シリコン面を親水化処理した後、水素結合で密着させ、1000℃以上で熱処理して強固な接合にすることで、単結晶SiCウェハ1とベース基板3とを直接接合するものである。

【0021】〔図1(c)に示す工程〕例えば、約700℃での熱処理を行うことで、単結晶SiCウェハ1を泥弱層2で剥離して、単結晶SiC層1aとベース基板3から成る堆積用基板6を形成する。この水素のイオン注入による剥離は、特開平5-211128号公報に示される方法と同様である。なお、前工程の接着を酸化シリコン膜を用いた直接接合で行う場合は、接合の熱処理で剥離することも可能である。

【0022】続いて、剥離した面を研磨などの方法によって表面を平滑化する。そして、剥離後の単結晶SiCウェハ1によって形成される単結晶SiC層1aの厚みが、半導体素子の活性層として必要となる厚み以下の場合、平滑化された剥離面にSiCをエピタキシャル成長させて所望の膜厚にするが、この場合には、エピタキシャル成長時の熱処理温度を考慮し、ベース基板3の材料として高融点材料を使用することが望ましい。

【0023】なお、このとき剥離した後における単結晶SiCウェハ1の残部1bは、再度剥離用の単結晶SiCウェハとして使用される。

【0024】〔図1(d)に示す工程〕堆積用基板6における単結晶SiC層1aの表面に支持体7を堆積させる。例えば、支持体7として、炭化珪素、シリコンといった半導体材料、あるいはアルミニウム、チタン、ニッケル等の金属材料などを堆積させる。なお、炭化珪素とシリコンは、化学的気相成長法(CVD法)によって平滑化された剥離面上に堆積させられるが、剥離面の温度、材料ガスの流量などの違いで、単結晶、あるいは多結晶になる。また、このとき、炭化珪素の場合には、窒素、アルミニウムなどの不純物を高濃度に含有させれば、電気抵抗を低くすることができる。このように、支持体7に不純物を高濃度に含有させることで低抵抗にすれば、電流を素子形成面から裏面側に低損失で流すことができる半導体構造となる。一方、金属は、CVD法、あるいはスパッタ法で形成される。

【0025】〔図1(e)に示す工程〕ベース基板3を除去する。例えば、単結晶SiC層1aとベース基板3の間に介在する接着材料4が溶ける溶剤を用いたエッチングを行う。具体的には、接着材料4として酸化物を用

いていれば、フッ酸を用いたエッチングを行う。これによりベース基板3を破壊することなく除去することができる。ベース基板3の再利用を図ることができる。

【0026】なお、接着材料4を溶かすのではなく、研削加工によってベース基板3を削り落とす方法、エッチング加工によってベース基板3を溶かす方法によっても本工程を行うことができる。

【0027】以上の工程により、素子の活性領域となる単結晶の炭化珪素となる単結晶SiC層1a上に、堆積によって支持体7が形成された構造の半導体基板を形成することができる。このような構成の半導体基板は、図2に示すような縦型パワーMOSFETの製造に好適であり、例えば、単結晶SiC層1aに対して不純物のイオン注入をすることによるウェル領域12a及びソース領域12b等の不純物拡散領域12の形成、ゲート酸化膜13の形成、ゲート電極14の形成等を行うことで、縦型パワーMOSFETを製造することができる。

【0028】また、図4に示すように、一般的な従来の構造は、高濃度の単結晶の炭化珪素支持基板J1の上に素子の活性領域となる低濃度の単結晶の炭化珪素層J2がエピタキシャル成長で形成された構造である。従って、高品位で、厚い単結晶の炭化珪素基板J1(基板の口径によっても異なるが、例えば4インチ径ならば400μm程度の厚さ)が、単結晶の炭化珪素層J2をエピタキシャル成長させるために必要となり、これが製造コストを高くする原因の一つになっていた。しかしながら、炭化珪素支持基板J1は素子の動作に寄与しないため、エピタキシャル成長をさせるための目的以外では、必ずしも高品位な単結晶の炭化珪素である必要はない。従って、素子の活性領域となる単結晶の炭化珪素上に支持体が堆積された本構造ならば、支持体として高品位な単結晶の炭化珪素基板である必要はないために、製造コストが低減できる。

【0029】(第2実施形態)本実施形態では、半導体素子の製造と共に、半導体基板の製造を行う場合について説明する。図3に、本発明の第2実施形態における半導体基板の製造工程を表す要部断面図を示し、図3に基づき半導体基板の製造方法について説明する。ただし、本実施形態における半導体基板の製造方法は、ほぼ上記第1実施形態と同様であるため、ここでは第1実施形態と異なる部分を中心に説明する。

【0030】〔図3(a)に示す工程〕単結晶SiCウェハ1に、P型、N型の不純物をイオン注入で打ち込み、熱処理で拡散させることで、単結晶SiCウェハ1の表層部にウェル領域、ソース領域、チャネル領域等の不純物拡散領域12を形成する。

【0031】〔図3(b)に示す工程〕不純物拡散領域12が形成された単結晶SiCウェハ1に、水素イオンを注入して、泥弱層2を形成する。この後は、上述した第1実施形態における図1(b)～(e)に示す工程を

実施することで、不純物拡散領域 12 が形成された後の半導体基板が形成される。

【0032】 このように、不純物拡散領域 12 を予め形成しておくことにより、支持体 7 の形成後に不純物拡散用の高温の熱処理を不要にすることができ、半導体基板の支持体に SiC と比べて融点が低温であるシリコンなどの材料を使うことができる。

【0033】 (他の実施形態) 上記第 2 実施形態では、不純物拡散層 12 を形成した後に水素のイオン注入を行うようにしているが、不純物拡散層 12 だけでなく、ゲート酸化膜や配線となる金属膜等を形成した後に水素のイオン注入を行うようにしても良い。このようにすれば、支持体を堆積した時点でウェハ状態での素子が完成する。この場合、支持体としては、金属のような低融点材料も、使用することができる。

【0034】 ただし、ゲートの酸化膜、配線の金属膜などがパターン化して成膜されているウェハに対して水素イオンを注入することになるため、泥弱層 2 の深さがばらついて剥離面がうねる可能性がある。また、うまく剥離が行えない可能性もある。従って、このような場合に

は、素子形成の成膜材料の膜質、膜厚、パターンなどの条件を検討する必要がある。

【図面の簡単な説明】

【図 1】 本発明の第 1 実施形態における半導体基板の製造方法を示す断面図である。

【図 2】 図 1 に示す半導体基板に縦型パワー MOSFET を形成した場合の断面構成を示す図である。

【図 3】 本発明の第 2 実施形態における半導体基板の製造方法を示す断面図である。

【図 4】 従来の半導体基板の断面構成を示した図である。

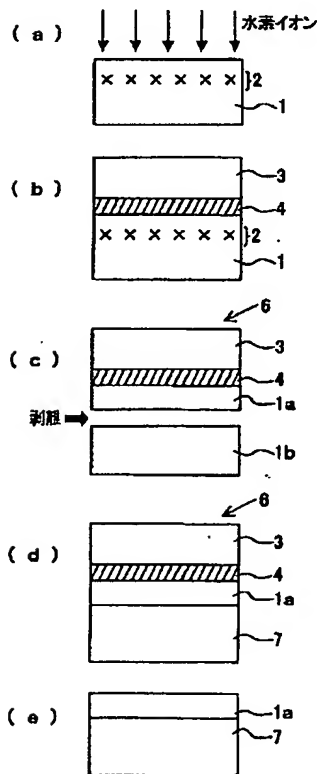
【図 5】 酸化膜を介して貼り合わせた半導体基板の断面構成を示した図である。

【図 6】 直接接合で形成した半導体基板の断面構成を示した図である。

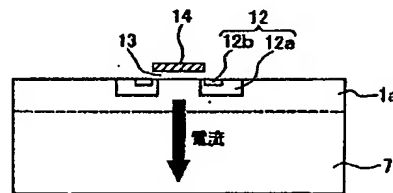
【符号の説明】

1…単結晶 SiC ウェハ、1a…単結晶 SiC 層、2…泥弱層、3…ベース基板、4…接合材料、6…堆積用基板、7…支持体、12…不純物拡散層、21…半導体素子。

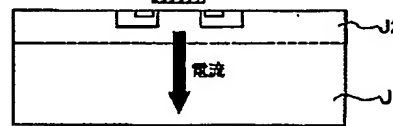
【図 1】



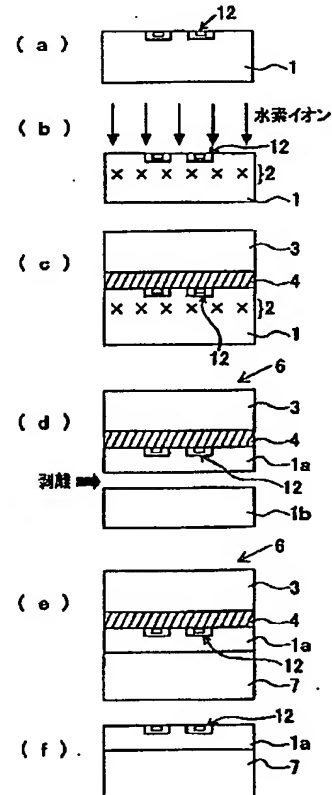
【図 2】



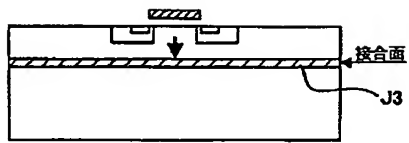
【図 4】



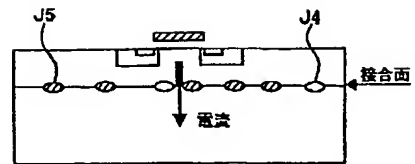
【図 3】



【図 5】



【図 6】



フロントページの続き

(51)Int. Cl. ⁷	識別記号	FI	テマコード (参考)
H01L 29/78	652	H01L 29/78	652G
			652H
		21/265	Q
21/336			Z
		29/78	658G
			658K